

Technická zpráva



Akademie věd České republiky
Ústav teorie informace a automatizace AV ČR, v.v.i.

Nástroj pro přípravu emulace časově anotovaného netlistu

Leoš Kafka, Martin Daněš
leos.kafka@utia.cas.cz

Obsah

1. Úvod.....	2
2. Emulace časově anotovaného netlistu	2
2.1 Zpožďovací elementy	3
3. SDFAn – SDF anotátor.....	3
4. Obsah a popis přiloženého balíku	4
5. Reference.....	4

Revize

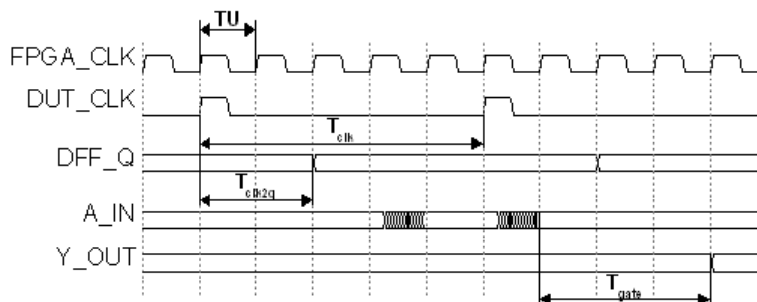
Revize	Datum	Autor	Popis změn v dokumentu
0	16.12.2008	L.K.	Vytvoření dokumentu

1. Úvod

Tato zpráva se zabývá emulací časově anotovaného netlistu pro technologii ASIC pomocí FPGA. Při emulaci časově anotovaného netlistu je nutné kromě funkce a případně struktury obvodu zachovat i časové parametry obvodu (zpoždění hradel). Použitá metoda emulace je založena na virtuálním čase. Zpoždění hradel je implementováno pomocí sekvenčních obvodů – zpožďovacích elementů. Pro přípravu původního netlistu pro emulaci včetně zpoždění jsme vytvořili nástroj **SDFAn** (SDF anotátor). Nástroj načte původní netlist a zpoždění pro jednotlivá hradla v tomto netlistu a vytvoří modifikovaný netlist, který kromě hradel obsahuje i patřičně nakonfigurované zpožďovací elementy. Takto modifikovaný netlist se pak použije při emulaci v FPGA.

2. Emulace časově anotovaného netlistu

Metoda emulace časově anotovaného netlistu je založena na virtuálním čase. Perioda fyzických hodin FPGA představuje nejmenší časovou jednotku (TU) virtuálního času. Perioda virtuálních hodin emulovaného obvodu a zpoždění hradel emulovaného obvodu je definováno jako celočíselný násobek TU. Příklad je na obrázku Obrázek 1. FPGA_CLK jsou fyzické hodiny FPGA. V tomto příkladě byla perioda virtuálních hodin v obvodu nastavena uživatelem na 5 TU. Zpoždění sekvenčního obvodu (DFF_Q) je 2 TU a zpoždění kombinačního obvodu (z A_IN na Y_OUT) na 3 TU. Obě tyto hodnoty jsou definovány technologií původního netlistu.

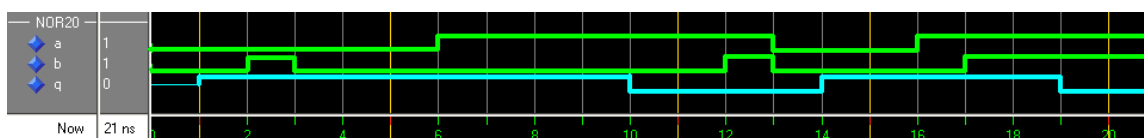


Obrázek 1 - Virtuální čas

Zpoždění hradel a propojení v netlistu je definováno v souboru formátu SDF (Standard Delay Format, [1]). Příklad definice zpoždění pro hradlo NOR je na obrázku Obrázek 2; příklad simulace hradla NOR2 včetně zpoždění v programu ModelSim je na obrázku Obrázek 3. Emulace časově anotovaného netlistu by měla poskytovat stejné výsledky.

```
(CELL
(CELLTYPE "NOR20") (INSTANCE i_nor20)
(DELAY (ABSOLUTE
(IOPATH a q (3:3:3) (4:4:4))
(IOPATH b q (1:1:1) (2:2:2))
)))
```

Obrázek 2 - příklad definice zpoždění v souboru SDF



Obrázek 3 - příklad simulace hradla včetně zpoždění, definice zpoždění viz Obrázek 2

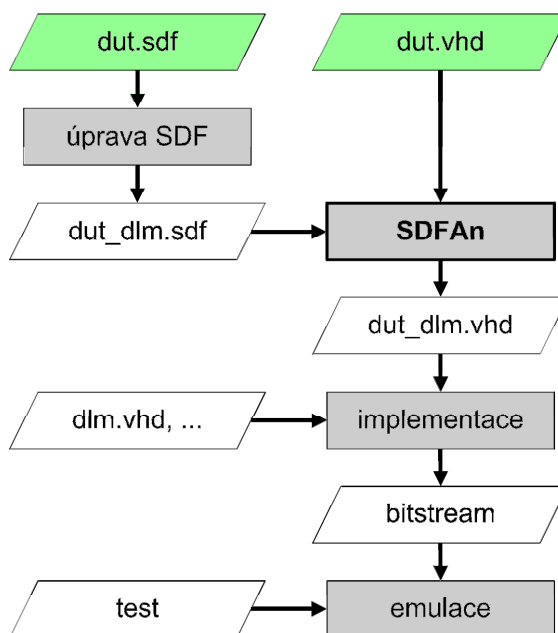
2.1 Zpožďovací elementy

Při emulaci časově anotovaného netlistu pomocí FPGA je zpoždění hradel implementováno pomocí zpožďovacích elementů. Jsou to sekvenční komponenty, které jsou schopny zpozdřit změnu na vstupu zpožďovacího elementu o určitý počet taktů (period) fyzických hodin FPGA.

Byly vyvinuty dvě verze zpožďovacích elementů – DLMS a DLMS. Způsob výpočtu zpoždění u modulu DLMS odpovídá výpočtu zpoždění v program ModelSim. Nevýhodou jsou vyšší nároky na prostředky FPGA. Zjednodušený modul DLMS neumožňuje nastavit různé zpoždění pro různé vstupy hradla; úspora prostředků FPGA je přibližně 60% v porovnání s DLMS.

3. SDFAn – SDF anotátor

SDFAn je nástroj pro přípravu netlistu pro emulaci včetně zpoždění. Nástroj načte původní netlist (soubor VHDL) a zpoždění pro jednotlivá hradla v tomto netlistu (soubor SDF) a vytvoří modifikovaný netlist, který kromě hradel obsahuje i patřičně nakonfigurované zpožďovací elementy. Takto modifikovaný netlist se pak použije při emulaci v FPGA. Design flow pro emulaci časově anotovaného netlistu je na obrázku Obrázek 4.



Obrázek 4 - Emulace časově anotovaného netlistu - design flow

Nástroj SDFAn se spouští z příkazové řádky. Seznam a popis parametrů programu se vypíše po spuštění programu bez žádných parametrů nebo se špatnými parametry.

4. Obsah a popis přiloženého balíku

Přiložené CD obsahuje nástroj SDFAn a jeden příklad.

CDROM	- bin	nástroje
	- doc	tato dokumentace
	- example	
	- src	zdrojové soubory
	- script	spouštěcí skripty
	- outputs	adresář pro výstup programu
	- outputs_correct	předgenerované výstupy programu

5. Reference

[1] Delay and power calculation standards – Part 3: Standard Delay Format (SDF) for the electronic design process, International standard IEEE 1497

Poděkování

Tato práce vznikla v rámci projektu 1QS108040510 (Národní program výzkumu, Informační společnost)