

TISKOVÁ ZPRÁVA



NOVÝ EVROPSKÝ PROJEKT:

METODOLOGIE NÁVRHU DYNAMICKY REKONFIGUROVATELNÝCH SYSTÉMŮ

VÝVOJOVÝ PROJEKT KONSORCIA UŽIVATELŮ A VÝROBCŮ, PODPOŘENÝ EVROPSKOU KOMISÍ V RÁMCI IST PROGRAMU

Cílem projektu **RECONF**, je vyvinout návrhové prostředí, které by umožnilo efektivně používat dynamicky rekonfigurovatelné FPGA obvody (tzv. D_FPGA).

Tato technologie umožní návrh inovativních, laciných architektur pro adaptivní systémy (systémy, které svůj výpočetní algoritmus neustále přizpůsobují změnám okolí) a tím otevře nové aplikační možnosti.

Hlavními cílovými aplikačními oblastmi jsou: zpracování obrazu v reálném čase, zpracování signálů, atd. S těmito aplikacemi se setkáváme ve většině tzv. vestavěných systémů, např. v letectví a kosmonautice, automatizaci, multimediálních zařízeních, či v řízení průmyslových procesů.

Vyvíjené prostředí bude použitelné pro všechny výrobce vestavěných systémů reálného času, jedná se však zejména o jedinečnou příležitost pro malé a střední podniky, kterým umožní přístup k této nové technologii a vývoj komplexních, vysoce výkonných aplikací při zachování nízkých nákladů.

FORMULACE PROBLÉMU

Budoucí aplikace budou klást stále rostoucí požadavky na výpočetní výkon. Aby bylo možné těmto požadavkům vyhovět, je nutné implementovat některé algoritmy nikoliv softwarově (s pomocí procesorů, ať univerzálních, či specializovaných, tzv. signálových – DSP), ale hardwarově (pomocí ASIC nebo FPGA obvodů). Paralelismus, obsažený v některých algoritmech (to platí zejména pro video aplikace), pak umožní použít obvod s nižší dosažitelnou frekvencí tam, kde by jinak požadavky na rychlost byly mimo možnosti současné technologie; rovněž tak umožní hardwarové řešení dosáhnout nižší spotřeby energie.

Technologie FPGA se dobře doplňuje s technologií ASIC. Pro velké FPGA obvody jsou však charakteristické vysoké výrobní náklady (obvykle 5 až 10x vyšší než pro obvody ASIC) a vyšší spotřeba energie (typicky 10 vyšší než u ASIC). Pro některé komplexní aplikace (např. video) mohou být také příliš malé.

Dynamicky rekonfigurovatelné FPGA obvody (D_FPGA), které začínají být tržně dostupné, eliminují většinu z těchto nevýhod, čímž otvírají celou řadu nových možností.

Velké aplikace lze rozdělit na několik modulů, které je možné pomocí dynamické rekonfigurace FPGA obvodu zpracovávat sekvenčně. To umožňuje použití menších a lacinějších obvodů.

Aplikace pak může rekonfigurovat část FPGA obvodu, zatímco zbytek obvodu zůstává v provozu.

Díky tomu, že je – s pomocí rekonfigurace – možné použít menší FPGA matice, bude mít výrobek řadu příznivých vlastností: menší spotřebu energie, vyšší spolehlivost, vyšší odolnost vůči radiaci (což jsou vlastnosti velmi důležité např. pro kosmické aplikace, kterými se zabývá jeden z členů konsorcia). Pro „klasické“ FPGA obvody dopadají všechny tyto charakteristiky poměrně nevýhodně.

Jaké překážky tedy brání používání této nové technologie?

Ačkoli se příslušné obvody stávají dostupnými, neexistuje pro ně žádná zavedená návrhová metodologie, a na trhu nejsou nástroje, které by efektivním způsobem zohledňovaly a využívaly specifické aspekty D_FPGA technologie.

VÝSTUPY PROJEKTU

Cílem projektu je umožnit implementaci architektury pro adaptivní systémy. K tomu bude patřičným způsobem přizpůsobena metodologie návrhu a vyvinuto prostředí, umožňující plně využít výhody D_FPGA.

Výstupem projektu **RECONF** bude kompletní otestované vývojové prostředí, zahrnující:

- přizpůsobenou metodologii návrhu, která bude řešit problematiku rozdělení obvodu a algoritmu, správného rozvrhování, atd. Nedílnou součástí metodologie bude příručka k jejímu použití. Pro snadnější rozšíření této technologie, a jako originální výstup projektu **RECONF**, bude tato příručka zdarma zpřístupněna na Internetu.
- Nástroje uživatelského rozhraní (Front-end nástroje), přizpůsobené technologii D_FPGA a patřičně otestované
- Back-end nástroje, přizpůsobené technologii D_FPGA a patřičně otestované

První, a pravděpodobně i druhý z těchto bodů, je nezávislý na použité technologii a bude možné jej použít pro libovolnou řadu D_FPGA obvodů. Back-end nástroje jsou závislé na konkrétní FPGA platformě – tyto nástroje budou vyvinuty pro D_FPGA dodávané v současné době na trh výrobcem, který je členem konsorcia.

Toto prostředí bude plně otestováno pomocí realizace testovacích průmyslových aplikací, organizované tak, aby pokryla:

- Správu dat v průběhu rekonfigurace, testování a ladění;
- Stavový automat;
- Komplexní algoritmy a problematiku reálného času.

ŘEŠENÉ PROBLÉMY

V rámci projektu budou řešeny následující problémy:

- Technické otázky
Doba trvání rekonfigurační fáze: pro aplikace v reálném čase je třeba maximálním možným způsobem redukovat.

Rekonfigurace po blocích: pro aplikace v reálném čase (např. řídicí smyčky) není možné zastavit běžící procesy. Proto je nutná možnost částečné rekonfigurace FPGA po blocích. To je podtrhuje nutnost modulárního přístupu.

Správa interních dat: Procesy mohou mít různé životní fáze, a v každé z nich se může algoritmus částečně měnit. Data používaná a generovaná výpočty musí v průběhu částečných rekonfigurací zůstat zachována.

- **Metodologie a problematika nástrojů**

Stávající vývojové nástroje používají funkcionální přístup. Otázky korektního časování jsou řešeny až v pozdní fázi návrhu. To je nutné změnit, je nezbytné uvažovat časování *funkčních* bloků. Už ve velmi rané fázi návrhu je třeba vědět, které prostředky bude daná funkce používat a kdy budou aktivovány.

Správa dynamické rekonfigurace: Správný způsob zřetězení rekonfigurací představuje složitý problém. Ten bude řešen buď pomocí software běžícího na zvláštním procesoru, připojeném k D_FPGA obvodu (což je však dosti nákladné řešení), nebo použitím nástrojů svázaných s prostředím používaným pro FPGA návrh a umožňujícími generovat stavové automaty.

Problematika testování a ladění: testovat a ladit složité jednoúčelové obvody je velmi náročné. Přidáním další funkce, jako rekonfigurovatelnosti, se tento problém stane ještě složitějším. Proto je naprosto nezbytné vyvinout nové ladicí prostředky.

PLÁNOVÁNÍ A ROZVRH PROJEKTU

Doba trvání projektu je rozvržena na 31 měsíců a bude mít 4 hlavní fáze. Ty budou trvat následovně:

1. Metodologie:	20 měsíců
2. Technologie / vývoj nástrojů:	23 měsíců
3. Evaluace, ověřování:	18 měsíců
4. Šíření / Implementace:	31 měsíců

ČLENOVÉ KONSORCIA

Zvláštní péče byla věnována vytvoření vyváženého konsorcia, které by pokrývalo všechny cíle projektu. Konsorcium zahrnuje 6 partnerů z 5 evropských zemí:

- 1 výrobce polovodičů – Atmel – poskytne konsorciu přístup ke své D_FPGA technologii, spolu s nezbytnými nástroji.
- 2 partneři pro vývoj metodologie a front-end nástrojů: UPC, UTIA. Tito partneři mají oba bohaté zkušenosti s použitím FPGA technologie. Coby akademické instituce uplatní v projektu nejnovější trendy a technologie, umožňující naplnění jeho cílů.
- 3 průmysloví koncoví uživatelé: Deltatec, Kayser Italia, MBDA France (manažer konsorcia). Tito partneři ověří metodologii a vývojové prostředí ve třech různých aplikačních oblastech: leteckví, kosmických technologiích a multimediálních aplikacích.

Atmel

Atmel Corporation, založená v roce 1984, je firma se sídlem v San Jose v Kalifornii a výrobními závody v Severní Americe a Evropě. Atmel se zabývá návrhem, výrobou a celosvětovým prodejem pokročilých logických obvodů, obvodů pro zpracování smíšených (jak analogových, tak digitálních) signálů, nevolatilních pamětí a polovodičů pro rádiové frekvence. Atmel je rovněž vedoucím poskytovatelem v oblasti polovodičových řešení pro integraci na systémové úrovni s použitím CMOS, BiCMOS, SiGe, a vysokonapěťových BCDMOS technologií.

© Atmel Corporation 2002. Veškerá práva vyhrazena. Atmel, logo Atmel a jejich kombinace jsou registrovanými obchodními známkami. Termíny a názvy produktů použité v tomto dokumentu mohou být obchodními známkami třetích osob.

Tiskový kontakt:

Philippe Faure, Marketing Communication Manager – Microcontrollers
+33 2 40 18 18 87 - philippe.faure@nto.atmel.com

Clive Over, Director of Press Relations – USA and Asia
+1 408 451 2855 - cliveover@atmel.com

Veronique Sablereau, Corporate Communications Manager – Europe
+33 1 30 60 70 68 - Veronique.sablereau@atmel.com

DELTATEC

DELTATEC (Ans, BELGIE) se zabývá návrhem pokročilého hardware a software v rámci komplexních projektů. Poradenská centra FPGA, DSP a Win CE reprezentují různé technologie, které DELTATEC ovládá. Prostřednictvím těchto center nabízí Deltatec své zázemí pro vývoj komplexních projektů.

DELTATEC navrhuje FPGA implementace a jednoúčelové modulární systémy od návrhu konceptu až po konečnou realizaci. Společnost se zaměřuje na digitální zpracování obrazu: distribuci video signálu a zpracování a syntézu obrazu.

www.deltatec.be

Kayser Italia (KI)

KI je soukromá italská společnost, založená roku 1986. Společnost se zabývá návrhem, výrobou, integrací a testováním systémů a subsystémů pro vyspělé průmyslové a kosmické aplikace, které vyžadují špičkový výkon v nepříznivém prostředí (např. kosmické prostředí). Pro tyto aplikace jsou charakteristická omezení daná požadavky na vysoký stupeň integrace, nízkou spotřebu a striktními požadavky na mechanická rozhraní. KI se zúčastnila vývoje satelitních zařízení i vybavení pro kosmické mise, jak pro ruské satelity, tak pro americký raketoplán.

Společnost má 30 zaměstnanců se znalostmi v oblasti computer science, fyziky, optiky a mechaniky a se zkušenostmi s návrhem elektronických zařízení, což jí umožňuje vystupovat jak jako hlavní dodavatel, tak jako subkontraktor pro Evropskou a Italskou kosmickou agenturu (ESA a ASI).

KI má certifikaci ISO9001 a certifikaci podle standardů ESA PSS pro personál vyrábějící tištěné spoje. Ve společnosti jsou prováděny pravidelné vnitřní i vnější audity.

www.kayser.it

MBDA

MBDA je vedoucí evropská skupina pro výrobu řízených zbraňových systémů. MBDA provozuje 45 systémů řízených střel v činné službě a dalších 30 vyvíjí pro letecké síly, armády a námořnictva celého světa. Společnost má strategický zájem vyvíjet vysoce výkonné a vestavěné výpočetní systémy reálného času.

Společnost zaměstnává 10 000 zaměstnanců ve 12 hlavních závodech v Evropě a USA. Je ve společném vlastnictví BAE SYSTEMS (37.5%), EADS (37.5%) a společnosti Finmeccanica (25%).

MBDA France je koordinátorem konsorcia RECONF.

www.mbda.fr

UPC, Katalánská technická universita

UPC je, s více než 30 000 studenty, 15 fakultami, 40 katedrami a zhruba 2500 učiteli a výzkumníky jednou z největších technických universit ve Španělsku. Skupina Pokročilých hardwarových architektur (AHA – Advanced Hardware Architectures) je součástí Katedry elektronického inženýrství UPC. Dvanáct pracovníků této skupiny má zkušenosti v oblasti návrhu elektronických systémů (analogových a digitálních), popisu a syntézy elektronických systémů, se specifikami návrhu FPGA architektur a s návrhem vestavěných FPGA systémů. Výzkumná témata, řešená týmem AHA, zahrnují také soft výpočetní modely (fuzzy modely, neuronové sítě) a biologicky inspirované systémy.

www-eel.upc.es/aha/

ÚTIA

Ústav teorie informace a automatizace (ÚTIA) je jedním z výzkumných ústavů Akademie věd České republiky. Zabývá se teorií řízení, informatikou a computer science, zejména se zaměřením na teorii systémů, zpracování dat a náhodných procesů z pohledu matematického modelování, rozhodování, automatického řízení a zpracování signálů. Osmdesát výzkumníků, pracujících v ústavu, pokrývá široký rozsah vědních oborů, od teoretické a aplikované matematiky až po pokročilé aspekty programování a vyspělé inženýrské aplikace.

www.utia.cas.cz/ZS